

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-200080

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.
H 01 L 27/12
21/02
21/20

識別記号

F I
H 01 L 27/12
21/02
21/20

B

審査請求 未請求 請求項の数34 O.L (全 18 頁)

(21)出願番号 特願平9-311975
(22)出願日 平成9年(1997)11月13日
(31)優先権主張番号 特願平8-304541
(32)優先日 平8(1996)11月15日
(33)優先権主張国 日本 (JP)

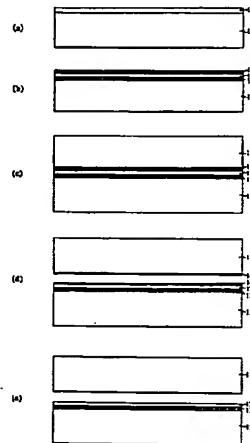
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 坂口 晴文
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(72)発明者 米原 康夫
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内
(74)代理人 弁理士 山下 錠平

(54)【発明の名称】 半導体部材の製造方法

(57)【要約】

【課題】 絶縁性基板等の基体上に結晶性に優れた単結晶半導体層を得るうえで、生産性、均一性、制御性、コスト面に優れ、フローバターンディフェクトやCOP (Crystal Originated Particles) の影響を受けない高品質な半導体部材を提供する。

【解決手段】 シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基体を用意する工程、前記第1の基体と第2の基体とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基体側に残ったイオン注入層を除去する工程、とを有する半導体部材の製造方法。



【特許請求の範囲】

【請求項1】 シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基体を用意する工程、前記第1の基体と第2の基体とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基体側に残ったイオン注入層を除去する工程、とを有することを特徴とする半導体部材の製造方法。

【請求項2】 シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基体を用意する工程、前記第1の基体と第2の基体とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基体側に残ったイオン注入層を除去する工程、前記分離された第1の基体側に残ったイオン注入層を除去して得られる基体を前記第1の基体の原材料として使用する工程、とを有することを特徴とする半導体部材の製造方法。

【請求項3】 シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基体を用意する工程、前記第1の基体と第2の基体とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基体側に残ったイオン注入層を除去する工程、前記分離された第1の基体側に残ったイオン注入層を除去して得られる基体を前記第1の基体の原材料として使用する工程、とを有することを特徴とする半導体部材の製造方法。

【請求項4】 前記イオン注入層は、前記シリコン基板上に前記非多孔質半導体層を形成した後に形成される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項5】 前記イオン注入層は、前記シリコン基板上に前記非多孔質半導体層を形成した後、更に該非多孔質半導体層上に絶縁膜を形成した後に形成される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項6】 前記イオン注入層は、希ガス、水素、窒素から選ばれる元素からなるイオンを用いて形成される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項7】 前記イオンの注入量は、 10^{16} ～ 10^{17} /cm²の範囲に制御される請求項6に記載の半導体部材の製造方法。

【請求項8】 前記イオン注入層の層厚は、500Å以下

に制御される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項9】 前記イオン注入層の層厚は、200Å以下に制御される請求項8に記載の半導体部材の製造方法。

【請求項10】 前記多層構造体の分離は、前記イオン注入層に外部より力を加えることによってなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項11】 前記力を加える方法は、前記基体表面に垂直な方向に加圧すること、基体表面に垂直な方向に引っ張ること、せん断力をかけることにより選択される請求項10に記載の半導体部材の製造方法。

【請求項12】 前記多層構造体の分離は、前記多層構造体の端部でイオン注入層を表出させた後、該貼り合わせた基体を酸化することで行われる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項13】 前記多層構造体の分離は、該多層構造体を加熱することによりなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項14】 前記加熱が前記多層構造体全体を加熱するものである請求項13に記載の半導体部材の製造方法。

【請求項15】 前記加熱が、前記多層構造体を部分的に加熱するものである請求項13に記載の半導体部材の製造方法。

【請求項16】 前記加熱がレーザー照射によりなされる請求項15に記載の半導体部材の製造方法。

【請求項17】 前記レーザーは、炭酸ガスレーザーである請求項16に記載の半導体部材の製造方法。

【請求項18】 前記加熱が、前記イオン注入層に電流を流すことによりなされる請求項15に記載の半導体部材の製造方法。

【請求項19】 前記非多孔質半導体層が単結晶シリコン層で構成される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項20】 前記単結晶シリコン層は、エピタキシャル成長により形成される請求項19に記載の半導体部材の製造方法。

【請求項21】 前記単結晶シリコン層の表面に酸化シリコン層が形成されて前記第1の基体を構成する請求項19に記載の半導体部材の製造方法。

【請求項22】 前記酸化シリコン層は、熱酸化により形成される請求項21に記載の半導体部材の製造方法。

【請求項23】 前記非多孔質半導体層が、化合物半導体層で構成される請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項24】 前記化合物半導体層が単結晶を構成する請求項23に記載の半導体部材の製造方法。

【請求項25】 前記第2の基体として単結晶シリコン基板を用いる請求項1～3のいずれかに記載の半導体部

材の製造方法。

【請求項26】前記第2の基体として単結晶シリコン基板の表面に酸化膜を形成した基板を用いる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項27】前記第2の基体として光透過性基体を用いる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項28】前記光透過性基体に、ガラス基板を用いる請求項27に記載の半導体部材の製造方法。

【請求項29】前記貼り合わせ工程は、2つの基体を密着させることによりなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項30】前記貼り合わせ工程は、陽極接合、加圧、熱処理を用いてなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項31】前記イオン注入層の除去は、研磨によりなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項32】前記イオン注入層の除去は、エッティングによりなされる請求項1～3のいずれかに記載の半導体部材の製造方法。

【請求項33】前記エッティングは、弗酸を用いてなされる請求項32に記載の半導体部材の製造方法。

【請求項34】請求項1～請求項33のいずれかに記載の方法により製造された半導体部材。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路や、太陽電池、半導体レーザー、発光ダイオード等の半導体素子を形成する為の半導体部材の製造方法に関する。特に半導体層を別の基体上に移設（transfer）する工程を含む半導体部材の製造方法に関する。

【0002】

【従来の技術】半導体部材は、半導体ウエハ、半導体基板、半導体装置等の名称で知られており、その半導体領域を利用して半導体素子が形成されているものや、半導体素子が形成される前の状態のものを含むものとする。

【0003】このような半導体部材のなかには、絶縁物上に半導体層を有するものもある。

【0004】絶縁物上の単結晶Si半導体層の形成は、シリコン・オン・インシュレーター（SOI）技術として広く知られ、通常のSi集積回路を作製するパルクSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウエル工程が省略できる、
5. ラッチアップを防止できる、

6. 薄膜化による完全空乏型電界効果トランジスタが可能、

等の優位点が得られる。これらは例えば以下の文献に詳しい。Special Issue: "Single-crystal silicon on non-single-crystal insulators": edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no. 3, pp 429～590 (1983)。

【0005】さらにここ数年においては、SOIが、MOSFETの高速化、低消費電力化を実現する基板として多くの報告がなされている（IEEE SOI conference 1994）。また、SOI構造を用いると素子の下部に絶縁層があるので、パルクSiウエハ上に素子を形成する場合と比べて、素子分離プロセスが単純化できる結果、デバイスプロセス工程が短縮される。すなわち、高性能化と合わせて、パルクSi上のMOSFET、ICに比べて、ウエハコスト、プロセスコストのトータルでの低価格化が期待されている。

【0006】なかでも完全空乏型MOSFETは駆動力の向上による高速化、低消費電力化が期待されている。MOSFETの閾値電圧（Vth）は一般的にはチャネル部の不純物濃度により決定されるが、SOIを用いた完全空乏型（FD: Fully Depleted）MOSFETの場合には空乏層厚がSOIの膜厚の影響を受けることになる。したがって、大規模集積回路を歩留まりよくつくるためには、SOI膜厚の均一性が強く望まれていた。

【0007】また、化合物半導体上のデバイスはSiでは得られない高い性能、たとえば、高速、発光などを持っている。現在は、これらのデバイスはほとんどGaAs等の化合物半導体基板上にエピタキシャル成長をしてその中に作り込まれている。しかし、化合物半導体基板は、高価で、機械的強度が低く、大面积ウエハは作製が困難などの問題点がある。

【0008】このようなことから、安価で、機械的強度も高く、大面积ウエハが作製できるSiウエハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【0009】SOI基板の形成に関する研究は1970年代頃から盛んであった。初期には、絶縁物であるサファイア基板の上に単結晶Siをヘテロエピタキシャル成長する方法（SOS: Sapphire on Silicon）や、多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法（FIPOS: Fully Isolation by Porous Oxidized Silicon）、酸素イオン注入法がよく研究された。

【0010】FIPOS法は、P型Si単結晶基板表面

にN型Si層をプロトンイオン注入、(イマイ他、J. Crystal Growth, vol. 63, 547 (1983))、もしくは、エピタキシャル成長とバグーニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成法によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘導体分離する方法である。本方法では、分離されているSi領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0011】酸化イオン注入法は、K. Izumiによって初めて報告されたSIMOXと呼ばれる方法である。Siウエハに酸素イオンを 10^{17} ~ $10^{18}/\text{cm}^2$ 程度注入したのち、アルゴン・酸素雰囲気中で1320度程度の高温でアニールする。その結果、イオン注入の投影飛程(R_p)に相当する深さを中心に入射された酸素イオンがSiと結合して酸化Si層が形成される。その際、酸化Si層の上部の酸素イオン注入によりアモルファス化したSi層も再結晶化して、単結晶Si層となる。表面のSi層中に含まれる欠陥は從来 $10^5/\text{cm}^2$ と多かったが、酸素の打ち込み量を $4 \times 10^{17}/\text{cm}^2$ 付近にすることで、 $\sim 10^2/\text{cm}^2$ まで低減することに成功している。しかしながら、酸化Si層の膜質、表面Si層の結晶性等を維持できるような注入エネルギー、注入量の範囲が狭いために、表面Si層、埋め込み酸化Si層(BOX; Burried Oxide)の膜厚は特定の値に制限されていた。所望の膜厚の表面Si層を得るために、犠牲酸化、ないしは、エピタキシャル成長することが必要であった。その場合、膜厚の分布には、これらプロセスによる劣化分が重畳される結果、膜厚均一性が劣化するという問題点がある。

【0012】また、SIMOXはバイアと呼ばれる酸化Siの形成不良領域が存在することが報告されている。この原因のひとつとしては、注入時のダスト等の異物が考えられている。バイアの存在する部分では活性層と支持基板との間のリードによりデバイス特性の劣化が生じてしまう。

【0013】SIMOXのイオン注入は前述の通り、通常の半導体プロセスで使用するイオン注入と比べ注入母が多いため、専用の装置が開発されてもなお、注入時間は長い。イオン注入は所定の電流量のイオンビームをラスター・スキャニングして、あるいは、ビームを抜けて行われるため、ウエハの大面積化に伴い、注入時間の増大が想定される。また、大面積ウエハの高温熱処理では、ウエハ内の温度分布によるスリップの発生などの問題がよりシビアになることが指摘されている。SIMOXでは1320°CというSi半導体プロセスでは通常使用しない高温での熱処理が必要であることから、装置開発を含めて、この問題の重要性がさらに大きくなることが懸念されている。

【0014】また、上記のような従来のSOIの形成方法とは別に、近年、Si単結晶基板に、熱処理又は接着剤を用いて貼り合せ、SOI構造を形成する方法が注目を浴びている。この方法は、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百μmもの厚さのSi単結晶基板をμmオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように3種類の方法がある。

- (1) 研磨による薄膜化
- (2) 局所プラズマエッティングによる薄膜化
- (3) 選択エッティングによる薄膜化

(1)の研磨では均一に薄膜化することが困難である。特にサブμmの薄膜化は、ばらつきが数十%にもなってしまい、この均一化は大きな問題となっている。さらにウエハの大口径化が進めばその困難度は増すばかりである。

【0015】(2)の方法は、あらかじめ(1)の方法で $1\sim 3\mu\text{m}$ 程度まで(1)の研磨による方法で薄膜化したのち、膜厚分布を全面で多点測定する。このあとこの膜厚分布にもとづいて、直径数mmのSF₆などを用いたプラズマをスキャンさせることにより膜厚分布を補正しながらエッティングして、所望の膜厚まで薄膜化する。この方法では膜厚分布を±10mm程度にできることが報告されている。しかし、プラズマエッティングの際に基板上異物(パーティクル)があるとこの異物がエッティングマスクとなるために基板上に突起が形成されてしまう。

【0016】また、エッティング直後には表面が荒れいるために、プラズマエッティング終了後にタッチボリッシングが必要であるが、ボリッシング量の制御は時間管理によって行われるので、最終膜厚の制御、および、ボリッシングによる膜厚分布の劣化が指摘されている。さらに研磨ではコロイダルシリカ等の研磨剤が直接に活性層になる表面を擦るので、研磨による破砕層の形成、加工歪みの導入も懸念されている。さらにウエハが大面積化された場合にはウエハ面積の増大に比例して、プラズマエッティング時間が増大するため、スループットの著しい低下も懸念される。

【0017】(3)の方法は、あらかじめ薄膜化する基板に選択エッティング可能な膜構造をつくり込んでおく方法である。例えば、P型基板上にボロンを $10^{19}/\text{cm}^3$ 以上の濃度に含んだP'-Siの薄層とP型Siの薄層をエピタキシャル成長などの方法で積層し、第1の基板とする。これを酸化膜等の絶縁層を介して、第2の基板と貼り合わせたのち、第1の基板の裏面を、研削、研磨で予め薄くしておく。その後、P型層の選択エッティングで、P'層を露出、さらにP'層の選択エッティングでP型層を露出させ、SOI構造を完成させるものである。この方法はMaszaraの報告に詳しい(W. P. Maszara, J. Electrochem. S

o.c., vol. 138, 341 (1991)).
【0018】選択エッチングは均一な薄膜化に有効とされているが、

せいぜい10°と選択比が十分でない。

【0019】エッチング後の表面性が悪いため、エッチング後にタッピングが必要となる。しかし、その結果、膜厚が減少するとともに、膜厚均一性も劣化しやすい。特にポリッシングは時間によって研磨量を管理するが、研磨速度のばらつきが大きいため、研磨量の制御が困難である。したがって、100nmというような極薄SOI層の形成において、特に問題となる。

【0020】イオン注入、高濃度BドープSi層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためSOI層の結晶性が悪い。また、貼り合わせ面の表面性も通常のSiウエハより劣る。等の問題点がある(C. Harendt, et al., J. Elect. Mater. Vol. 20, 267 (1991)、H. Baumgart, et al., Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-733 (1991)、C. E. Hunt, Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-696 (1991))。また、選択エッチングの選択性はボロン等の不純物の濃度差とその深さ方向プロファイルの急峻性に大きく依存している。したがって、貼り合わせ強度を高めるための高温のボンディングアニールや結晶性を向上させるために高温のエピタキシャル成長を行ったりすると、不純物濃度の深さ方向分布が並び、エッチングの選択性が劣化してしまう。すなわち、エッチングの選択比の向上の結晶性は貼り合わせ強度の向上の両立は困難であった。

【0021】こうしたなか、本出願人は、先に特開平5-21338号公報において、新規な半導体部材の製造方法を提案した。当該公報に開示された方法は、次のとおりのものである。即ち、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法である。

【0022】また、本発明の発明者である米原らは膜厚均一性や結晶性に優れ、バッチ処理が可能な貼り合わせSOIを報告した(T. Yonehara, et al., Appl. Phys. Lett. vol. 64, 2108 (1994))。以下、この貼り合わせSOIの作製方法について図4(a)～(c)を用いて説明する。

【0023】この方法では、Si基板41上の多孔質層42を選択エッチングを行う材料として用いる。多孔質層42の上に非多孔質単結晶Si層43をエピタキシャル成長した後、酸化Si層45を介して第2の基板44と貼り合わせる(図4(a))。第1の基板を裏面より研磨等の方法で薄層化し、基板全面において多孔質Siを露出させる(図4(b))。露出させた多孔質SiはKOH、HF+H₂O₂などの選択エッチング液によりエッチングして除去する(図4(c))。このとき、多孔質SiのバルクSi(非多孔質単結晶Si)に対するエッチングの選択比を10万倍と十分に高くできるので、あらかじめ多孔質上に成長した非多孔質単結晶Si層を膜厚を殆ど減らすことなく、第2の基板の上に移設(transferr)し、SOI基板を形成することができる。したがって、SOIの膜厚均一性はエピタキシャル成長時には決定づけられる。エピタキシャル成長は通常半導体プロセスで使用されるCVD装置が使用できるので、佐藤らの報告(SSDM95)によれば、その均一性は例え100nm±2%以内が実現されている。また、エピタキシャルSi層の結晶性も良好で3.5×10²/cm²が報告された。

【0024】従来の方法ではエッチングの選択性は不純物濃度の差とその深さ方向のプロファイルによっていたため、濃度分布を拡げてしまう熱処理の温度(貼り合わせ、エピタキシャル成長、酸化等)は概ね800°C以下と大きく制約されていた。一方、この方法におけるエッチングは多孔質とバルクという構造の差がエッチングの速度を決めていたため、熱処理温度の制約は小さく、1180°C程度の熱処理が可能であることが報告されている。例え貼り合わせ後の熱処理は、ウエハ同士の接着強度を高め、貼り合わせ界面に生じる空隙(void)の数、大きさを減少させることが知られている。また、斯様な構造差にもとづくエッチングでは多孔質Si上に付着したパーティクルがあっても、膜厚均一性に影響を及ぼさない。

【0025】しかしながら、貼り合わせを用いた半導体基板は、必ず2枚のウエハを必要とし、そのうち1枚はほとんど大部分が研磨・エッチング等により無駄に除去され捨てられており、限られる地球の資源が無駄となっている。したがって、貼り合わせによるSOIにおいては、その制御性、均一性の他低コスト化、経済性の向上が望まれているところである。

【0026】即ち、品質が十分なSOI基板を再現性よく作製するとともに、同時にウエハの再使用等による省資源、コストダウンを実現する方法が望まれていた。

【0027】こうしたなか、本出願人は、先に2枚の基板を貼り合わせた後、貼り合わせられた基板を多孔質層において分離し、分離後の一一方の基板から残留多孔質を除去して、この基板を再利用する半導体基板の製造方法を特開平7-302889号公報で提案した。当該公報に

開示された方法の1例を以下に図5(a)～(c)を用いて説明する。

【0028】第1のSi基板51の表面層を多孔質化して多孔質層52を形成したのち、その上に単結晶Si層53を形成し、この単結晶Si層と第1のSi基板とは別の第2のSi基板54の主面とを絶縁層55を介して貼り合わせる(図5(a))。この後、多孔質層を貼り合わせたウエハを分割し(図5(b))、第2のSi基板の表面に露出した多孔質Si層を選択的に除去することにより、Si基板を形成する(図5(c))。第1の基板41は、残留した多孔質層を除去して再利用することができる。

【0029】特開平7-302889号に開示された発明は、多孔質シリコン層の構造が、非多孔質シリコンに比べて脆弱である点を利用して基板を分離するものであり、一度半導体基板の作製工程に使用した基板を再度、半導体基板の作製工程に利用できるので半導体基板の低成本化を図る上で非常に有用なものである。

【0030】これとは、別に、特開平8-213645号公報には、多孔質シリコン層上に太陽電池の光電変換部を構成する半導体層を形成した後、該半導体層を多孔質層から分離することが開示されており、やはり、ここでも多孔質シリコン層が形成されていた基板を再利用することができる。

【0031】一方、こうした多孔質シリコン層を用いて、基板を分離するもの他に、このような多孔質シリコン層を用いて基板を分離する技術が特開平5-21128号公報に開示されている。この公報に開示されているのは、シリコン基板中にイオン注入によりバブル層を作り、該バブル層に熱処理による結晶再配列と気泡の凝集とを生じさせて、シリコン基板の最表面側の領域(この公報では「薄い半導体材料フィルム」と呼ばれている)を、バブル層を境にして剥がす方法である。ここでいう薄い半導体材料フィルムとは、要するにパルクSi最表面の注入イオンが存在しないか、存在量が極めて少ない領域のことである。しかしながら、パルクのSiウエハには、フローバターンディフェクト(FPD; Low Pattern Defect)(T. Abe, Extended Abst. Electrochem. Soc. Spring Meeting vol. 95-1, pp. 596, (May, 1995))やCOP(Crystal Originated Particles)(山本秀和、「大口径シリコンウエハへの要求課題」、第23回ウルトラクリーンテクノロジーカレッジ、(Aug., 1996))等、それに特有の欠陥が存在していることが明らかになってきている。従って、この薄い半導体材料フィルムには、フローバターンディフェクトやCOPが存在することとなる。

【0032】

【発明が解決しようとする課題】しかしながら、もし

も、このようなフローバターンディフェクトやCOPが存在しない形で半導体材料フィルムをシリコン基板から分離することができれば、前述した所謂多孔質シリコンを用いる方法とは別に、実用的な半導体部材を低成本で供給できる可能性がある。そこで、本発明者らは、この点に鑑みて、検討を行い、この発明を完成するに至った。

【0033】【発明の目的】本発明の目的は、2つの基板を貼り合わせる工程を有する半導体部材の製造方法であって、該基板の1部を該半導体部材の原材料として再利用し得る半導体部材の製造方法を提供することにある。

【0034】

【課題を解決するための手段】本発明の手段は、シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基板を用意する工程、前記第1の基板と第2の基板とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基板側に残ったイオン注入層を除去する工程、とを有することを特徴とする半導体部材の製造方法を提供することにある。

【0035】本発明の更に別の手段は、シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基板を用意する工程、前記第1の基板と第2の基板とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基板側に残ったイオン注入層を除去する工程、前記分離された第1の基板側に残ったイオン注入層を除去する工程、とを有することを特徴とする半導体部材の製造方法を提供することにある。

【0036】本発明の更に別の手段は、シリコン基板と該シリコン基板上に配された非多孔質半導体層と前記シリコン基板あるいは前記非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層とを有する第1の基板を用意する工程、前記第1の基板と第2の基板とを前記非多孔質半導体層が内側に位置する多層構造体が得られるように貼り合わせる工程、前記イオン注入層において前記多層構造体を分離する工程、前記分離された第2の基板側に残ったイオン注入層を除去する工程、前記分離された第1の基板側に残ったイオン注入層を除去する工程、とを有することを特徴とする半導体部材の製造方法を提供することにある。

【0037】[作用] 本発明の半導体部材の製造方法においては、シリコン基板上に配された非多孔質半導体層を用いて貼り合わせ基体用の第1の基体を構成する。非多孔質半導体層は、好適にはエピタキシャル半導体層で構成し得るものであり、この場合、前述のシリコンウェハに特有のフローパターンディフェクトやCOP(Crystal Originated Particles)の影響を受けないことから高品質な半導体部材を提供することができる。

【0038】また、非多孔質半導体層は、電気伝導型や、不純物濃度を容易に制御し得ることから、本発明の半導体部材の製造方法は、多種の要求を満足し得るものとなり、応用性が高い。

【0039】更に、第1の基体と第2の基体を貼り合わせて得られる多層構造体を、イオン注入層で分離した後、第1の基体間に残ったシリコン基板は、第1の基体あるいは第2の基体の構成部材として再利用することができる所以省資源、低コスト化という点でも利点がある。

【0040】本発明によれば、絶縁性基板等で構成できる第2の基体上に結晶性に優れた単結晶半導体層を得るうえで、生産性、均一性、制御性、コストの面において優れた半導体部材の製造方法を提供することができる。

【0041】

【発明の実施の形態】以下、本発明の好適な実施態様例について述べるが、本発明はこれらの実施態様例に限定されるものではなく、本発明の目的が達成されるものであれば良い。

【0042】[イオン注入層] 単結晶シリコン基板にヘリウムや水素をイオン注入すると、イオン注入された領域に直径数nm～数十nmの微小な空洞(microcavity)が $\sim 10^{16} \sim 10^{17}/\text{cm}^2$ の密度で形成し得。該シリコン基板は、あたかも内部に多孔質層を形成したような構造となる。本発明において使用可能なイオンは、希ガス、水素及び空素から選ばれる元素からなるものである。本発明において、イオン注入層は、シリコン基板あるいは該シリコン基板上に配された非多孔質半導体層の少なくともいずれか一方に形成されれば良く、両者の界面に形成することもできるし、2層以上形成することもできる。本発明で形成されるイオン注入層のイオン注入量は、第1の基体と第2の基体を貼り合わせて得られる多層構造体の分離を考慮すると $10^{16} \sim 10^{17}/\text{cm}^2$ の範囲が好ましい。イオン注入層の層厚は、加速電圧によって変化するが、一般的には500Å以下。多層構造体を分離して得られる第2の基体上の非多孔質半導体層の層厚を均一にすることを考慮する場合、好ましくは200Å以下とするのが良い。イオン注入層は、層厚方向に濃度分布を持っており、多層構造体の分離の際にはイオン注入量の濃度分布が最も高い面で分離される傾向がある。

【0043】[非多孔質半導体層] 本発明において非多孔質半導体層としては、好適には、単結晶Si、多結晶Si、非晶質Siの他、GaAs、InP、GaAsP、GaAlAs、InAs、AlGaSb、InGaAs、ZnS、CdSe、CdTe、SiGe等の化合物半導体等を用いることができる。そして非多孔質半導体層は、FET(Field Effect Transistor)等の半導体素子を既に作り込んだものであっても良い。

【0044】[第1の基体] 本発明において、第1の基体とはシリコン基板と、このシリコン基板上に配された非多孔質半導体層と、シリコン基板あるいは非多孔質半導体層の少なくともいずれか一方に形成されたイオン注入層を有する基体をいう。従って、第1の基体は、イオン注入層が内部に形成されたシリコン基板上に非多孔質半導体層を形成した基板は、もちろんのこと、この非多孔質半導体層上に塗膜や酸化膜等の絶縁膜を形成したもの、あるいは、シリコン基板上にエピタキシャル半導体層及び絶縁層を形成した後、シリコン基板にイオン注入してイオン注入層を形成した基板、更には、シリコン基板上に形成された非多孔質半導体層中にイオン注入層を形成したもの等を包含する。

【0045】シリコン基板上に非多孔質半導体層を形成するには、減圧CVD、プラズマCVD、光CVD、MOCVD(Metal-Organic CVD)等のCVD法の他、スパッター法(バイアススパッター法を含む)、分子線エピタキシャル成長法、液相成長法等を採用することができる。

【0046】[第2の基体] 非多孔質半導体層が移設(transfer)される第2の基体としては、例えば単結晶シリコン基板のような半導体基板、半導体基板表面に酸化膜(熱酸化膜を含む)や塗膜等の絶縁膜を設けたもの、石英基板(Silica glass)やガラス基板のような光透過性基板、あるいは、金属基板、アルミニナ等の絶縁性基板などがあげられる。このような第2の基体は、半導体部材の用途に応じて適宜選択される。

【0047】[貼り合わせ(bonding)] 本発明においては、上述の第1の基体を、上述の第2の基体と、貼り合わせ(非多孔質半導体層が内側に位置するように)て、多層構造体を得る。本発明において、非多孔質半導体層が内側に位置する多層構造体とは、第1の基体を構成する非多孔質半導体層が直接第2の基体に貼り合わせられた構造体はもち論のこと、非多孔質半導体層の表面に形成された酸化膜や塗膜等の絶縁膜、あるいはこれ以外の膜等が第2の基体に貼り合わされた構造体をも包含する。即ち、非多孔質半導体層が多孔質シリコン層に比べて多層構造体の内側に位置する構造体を非多孔質半導体層が内側に位置する多層構造体といふ。

【0048】具体的な貼り合わせは、第1の基体と第2

の基体の貼り合わせ面を平坦なものとしておくことにより、両者を例え室温で密着させることにより行うことができる。この他、貼り合わせ強度を増すために、陽極接合、加圧熱処理等を施すことができる。

【0049】【多層構造体の領域】本発明においては、多層構造体を、イオン注入層で分離する。イオン注入層は微小な空洞（Micro-cavity）あるいは気泡（Bubble）が生じたような構造であり、多層構造体の他の領域に比べて脆弱である。従ってその脆弱性を利用して分離を効果的に行うことができる。分離の具体的な方法としては、イオン注入層に外力を加える方法の他、例えば下述する方法がある。

【0050】イオン注入層が多孔質状であることから、この層が増速酸化することを利用して、ウエハの周辺からイオン注入層の酸化を行う事によりイオン注入層を体積膨張させてその力による方法がある。

【0051】イオン注入層は、通常外周部においても非多孔質層に覆われており、貼り合わせ後あるいはその前に外周部あるいは単面を露出させておく必要がある。この貼り合わせ基体を酸化すると多孔質の膨大な表面積により増速酸化がイオン注入層の外周部から始まる。SiがSiO₂になるときには2.27倍に体積が膨張するので、porosityが5%以下の時は、酸化イオン注入層も体積膨張することになる。酸化はウエハの中心に行くにしたがって程度は小さくなるので、ウエハの外周部の酸化イオン注入層の体積膨張が大きくなる。これはまさしくウエハの端面からイオン注入層にくさびを打ち込んだのと同様な状況で、イオン注入層のみ内圧がかかり、イオン注入層中に分割するように力がはたらく。しかも酸化はウエハ周辺で均一に進むので、ウエハの周囲から均等に貼り合わせウエハを剥がすことになる。結果として、多層構造体は分割されることとなる。

【0052】本発明によれば、酸化という均一性に優れたこの方法を利用すると、通常のSi-ICプロセスの一工程を利用して制御良くウエハを分割することができる。

【0053】多層構造体を加熱することにより熱応力を発生させ、脆弱なイオン注入多孔質層で多層構造体を分離させることもできる。

【0054】また、レーザーを使用することにより、多層構造全体を加熱せずに、ある特定の層にのみエネルギーを吸収させ加熱できる。イオン注入多孔質層、あるいはイオン注入多孔質近傍の層にのみ吸収する波長のレーザーを用いることにより局部加熱が行え、これにより分離を行うことができる。

【0055】更に、電流をイオン注入多孔質層あるいはイオン注入多孔質近傍に流すことにより、イオン注入多孔質層を急激に加熱できる。

【0056】これをを利用して多層構造体を分離し得る。

【0057】【多孔質層の除去】第1の基体と第2の基

体を貼り合わせて得られる多層構造体をイオン注入層において分離した後、分離された基体に残留するイオン注入層は、該イオン注入層の機械的強度が低いことと、表面積が大きいことを利用して、選択的に除去することができる。選択的な除去方法としては、研削や研磨を用いた機械的な方法の他、エッティング液を用いた化学エッティングやイオンエッティング（例えば反応性イオンエッティング：Reactive Ion Etching）等の方法を採用することができる。

【0058】選択的なエッティングを行う場合、そして非多孔質薄膜が単結晶Siの場合には通常のSiのエッティング液、あるいは希酸、あるいは希酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード希酸あるいはバッファード希酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも1種類を用いて、イオン注入層をエッティング除去できる。非多孔質半導体層が化合物半導体で構成されている場合には、化合物半導体に対してSiのエッティング速度の早いエッティング液を用いてイオン注入層をエッティング除去できる。

【0059】以下、本発明の実施の形態について図面を用いて説明する。

【0060】

【発明の実施の形態】

【実施態様例1】図1は、本発明の実施態様例1の工程を示す模式断面図である。

【0061】まず、第1のSi単結晶基板11を用意して、主表面上に少なくとも1層の非多孔質層12を形成する（図1(a)）。Si単結晶基板11は、出来上がるSi基体の特性は、非多孔質層12で決められるため、抵抗無指定ウエハや一般の再生ウエハ等を用いて構わない。さらに、最表面層にSiO₂13を形成することもできる。この場合、貼り合わせ界面を活性層から離すことが出来るという意味でもよい。

【0062】次に、第1基板の主表面から、希ガス、水素、および、窒素のうち少なくとも1種の元素をイオン注入する（図1(b)）。イオン注入溝14は、第1のSi単結晶基板11と非多孔質層12との界面付近あるいは非多孔質層12内部になることが好ましい。

【0063】次に、図1(c)に示すように、第2の基板15と第1の基板の表面とを例え室温で密着させる。

【0064】単結晶Siを堆積した場合には、単結晶Siの表面には熱酸化等の方法で酸化Siを形成したのち貼り合わせることが好ましい。図1は第2の基板と第1の基板とは絶縁層13を介して貼り合わせた様子を示してあるが、非多孔質薄膜12がSiでない場合、あるいは第2の基板がSiでない場合には絶縁層13はなくてよい。

【0065】貼り合わせに際しては絶縁性の薄板をはさ

み3枚重ねで貼り合わせることも可能である。

【0066】次に、イオン注入浴り14で基板を分離する(図1(d))。分離する方法としては、加圧、引っ張り、せん断、模、等の外圧をかける方法、熱をかける方法、酸化により多孔質Siを周辺から膨張させ多孔質Si内に内圧をかける方法、バ尔斯状に加熱し、熱应力をかける、あるいは軟化させる方法等があるがこの方法に限定されるものではない。

【0067】次いで、分離された基板からイオン注入浴り14を前述した方法を用いて選択的に除去する。

【0068】図1(e)には、本発明で得られる半導体部材が示されている。第2の基体15上に非多孔質薄膜、例えば単結晶Si薄膜12が平坦に、しかも均一に薄層化されて、ウエハ全域に、大面積に形成される。第2の基体と第1の基体とを絶縁層13を介して貼り合わせれば、こうして得られた半導体部材は、絶縁分離された電子素子作製という点から見ても好適に使用することができます。

【0069】Si単結晶基板11は残留イオン注入浴り層14を除去して、表面平坦性が許容できないほど荒れている場合には表面平坦化を行った後、再度第1のSi単結晶基板11、あるいは次の第2の基体15として使用できる。

【0070】再度第1のSi単結晶基板11として用いる場合には、分離層厚さと表面処理で減じた厚さ分をエピタキシャル層で補うことにより、ウエハ厚減少により、使用できなくなることはなくなり、半永久的に再利用可能となる。

【0071】【実施態様例2】図2は、本発明の実施態様例2の工程を示す模式断面図である。第1のSi単結晶基板21を用意して、第1基板の主表面から希ガス、水素、および、窒素のうち少なくとも1種の元素をイオン注入し、内部にイオン注入浴り22を形成する(図2(a))。最表面層にSiO₂23を形成しておいた方が、イオン注入による表面荒れが防げる。SiO₂23を除去した後、主表面上に少なくとも1層の非多孔質層24を形成する(図2(b))。

【0072】次いで図2(c)に示すように、第2の基板26と第1の基板の表面とを例えば室温で密着させる。

【0073】単結晶Siを堆積した場合には、単結晶Siの表面には熱酸化等の方法で酸化Siを形成したのち貼り合わせることが好ましい。図1は第2の基板と第1の基板とは絶縁層25を介して貼り合わせた様子を示しているが、非多孔質薄膜24がSiでない場合、あるいは第2の基板がSiでない場合には絶縁層25はなくてよい。

【0074】貼り合わせに際しては絶縁性の薄板を挟み、3枚重ねで貼り合わせることも可能である。

【0075】次に、イオン注入浴り22で基板を分離す

る(図2(d))。

【0076】次いで、イオン注入浴り22を選択的に除去する。

【0077】図2(e)には、本発明で得られる半導体部材が示される。第2の基体26上に非多孔質薄膜、例えば単結晶Si薄膜24が平坦に、しかも均一に薄層化されて、ウエハ全域に、大面積に形成される。第2の基体と第1の基体とを絶縁層25を介して貼り合わせば、こうして得られた半導体部材は、絶縁分離された電子素子作製という点から見ても好適に使用することができます。

【0078】Si単結晶基板21は残留イオン注入浴り層22を除去して、表面平坦性が許容できないほど荒れている場合には表面平坦化を行った後、再度第1のSi単結晶基板21、あるいは次の第2の基体26として使用できる。

【0079】【実施態様例3】図3は、本発明の実施態様例3の工程を説明するための模式断面図である。

【0080】図3に示すように、上記実施態様例1および2に示した工程を第2の基体を2枚用いることにより第1の基体の両面に処理を施し、半導体基板を同時に2枚作製する。

【0081】図3において、31は第1の基体、32、35は多孔質層、33、36は非多孔質薄膜、34、37はSiO₂層、38、39は第2の基体であり、図3(a)は、実施態様例1で示した工程を、第1の基板31の両面に施した後、その両面に第2の基体38、39をそれぞれ貼り合わせた状態を示す図であり、図3(b)は、実施態様例1と同様に、多孔質層32、35で分離した状態を示し、図3(c)は、多孔質層32、35を除去した状態を示す図である。

【0082】第1のSi単結晶基板31は残留イオン注入浴り層を除去して、表面平坦性が許容できないほど荒れている場合には表面平坦化を行った後、再度第1のSi単結晶基板31、あるいは次の第2の基体38(又は39)として使用できる。

【0083】支持基板38、39は同一でなくても良い。また、非多孔質薄膜33、36は、両面が同一でなくてもよい。また、絶縁層34、37はなくてもよい。

【0084】以下、具体的な実施例を挙げて本発明を説明する。

【0085】(実施例1) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0086】

ソースガス: SiH₄ Cl₂ / H₂
ガス流量 : 0.5 / 180 l/min
ガス圧力 : 80 Torr
温度 : 950°C

成長速度 : 0.30 μm/min
 さらに、このエピタキシャル Si 層表面に熱酸化により 200 nm の SiO₂ 層を形成した後、表面の SiO₂ を通して H⁺ を 40 keV で 5 × 10¹⁶ cm⁻² イオン注入した。

【0087】該 SiO₂ 層表面と、別に用意した Si 基板（第2の基体）の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入層の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離したところ、イオン注入の投影飛程付近で2枚に分離された。分離された基体の表面は荒れていた。第2の基体側の表面は、4.9% 弗酸と 3.0% 過酸化水素との混合液で泡はんしながら選択エッチングした。単結晶 Si はエッチングされずに残り、単結晶 Si をエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0088】非多孔質 Si 単結晶の該エッティング液に対するエッティング速度は、極めて低く、そのエッティング量（数十オングストローム程度）は実用上無視できる膜厚減少であった。

【0089】これにより、SiO₂ 酸化膜上に 0.2 μm の厚みを持った単結晶 Si 層が形成できた。形成された単結晶 Si 層の膜厚を面内全面について 100 点を測定したところ、膜厚の均一性は 201 nm ± 6 nm であった。

【0090】さらに単結晶 Si 層が移設された基体を水素中で 1100°C で熱処理を 1 時間施した。表面粗さを原子間力顕微鏡で評価したところ、5.0 μm 角の領域での平均 2 乗粗さはおよそ 0.2 nm で通常市販されている Si ウエハと同等であった。

【0091】透過電子顕微鏡による断面観察の結果、Si 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0092】また、第1の基体側に残ったイオン注入層もその後、4.9% 弗酸と 3.0% 過酸化水素との混合液で泡はんしながら選択エッティングした。その後、水素アーチ、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0093】再び第1の基板として投入するときには、ウエハ厚減少分をエピタキシャル層で補うことにより、半永久的に再利用可能となった。すなわち、繰り返しの 2 回目以降はエピタキシャル膜厚は、0.30 μm でなくウエハ厚減少分となり、イオン注入層はエピタキシャル層の内部に形成される。

【0094】（実施例2）第1の単結晶 Si 基板上に CVD (Chemical Vapor Deposit ion) 法により単結晶 Si を 0.50 μm エピタキシャル成長した。成長条件は以下の通りである。

【0095】

ソースガス : SiH₄, Cl₂ / H₂
 ガス流量 : 0.5 / 180 l/min
 ガス圧力 : 80 Torr
 温度 : 950°C
 成長速度 : 0.30 μm/min
 表面のエピタキシャル層を通して H⁺ を 50 keV で 6 × 10¹⁶ cm⁻² イオン注入した。

【0096】該エピタキシャル層表面と、別に用意した 500 nm の SiO₂ 層を形成した Si 基板（第2の基体）の表面と、を重ね合わせ、接触させた後、550°C でアニールしたところ、イオン注入の投影飛程付近で 2 枚に分離された。分離された基体の表面は荒れていた。第2の基体側の表面は、4.9% 弗酸と 3.0% 過酸化水素との混合液で泡はんしながら選択エッティングした。単結晶 Si はエッチングされずに残り、単結晶 Si をエッチ・ストップの材料として、イオン注入層は選択エッティングされ、完全に除去された。

【0097】非多孔質 Si 単結晶の該エッティング液に対するエッティング速度は、極めて低く、そのエッティング量（数十オングストローム程度）は実用上無視できる膜厚減少である。

【0098】その後、極表面のみを研磨し平坦化した。

【0099】これにより、SiO₂ 酸化膜上に 0.5 μm の厚みを持った単結晶 Si 層が形成できた。形成された単結晶 Si 層の膜厚を面内全面について 100 点を測定したところ、膜厚の均一性は 498 nm ± 15 nm であった。

【0100】表面粗さを原子間力顕微鏡で評価したところ、5.0 μm 角の領域での平均 2 乗粗さはおよそ 0.2 nm で通常市販されている Si ウエハと同等であった。

【0101】透過電子顕微鏡による断面観察の結果、Si 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0102】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と 3.0% 過酸化水素との混合液で泡はんしながら選択エッティングした。その後、水素アーチ、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0103】再び第1の基板として投入するときには、ウエハ厚減少分をエピタキシャル層で補うことにより、半永久的に再利用可能となった。すなわち、繰り返しの 2 回目以降はエピタキシャル膜厚は、0.30 μm でなくウエハ厚減少分となり、イオン注入層はエピタキシャル層の内部に形成される。

【0104】（実施例3）第1の単結晶 Si 基板上に CVD (Chemical Vapor Deposit ion) 法により単結晶 Si を 0.30 μm エピタキシャル成長した。成長条件は以下の通りである。

【0105】

ソースガス: SiH₂Cl₂/H₂
 ガス流量: 0.5/180l/min
 ガス圧力: 80 Torr
 温度: 950°C
 成長速度: 0.30 μm/min
 さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次いで、表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオンを注入した。
 【0106】該SiO₂層表面と、別に用意した500nmのSiO₂層を形成したSi基板(第2の基体)の表面とを重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離した表面は荒れている。第2の基体側の表面は、49%弗酸と30%過酸化水素水との混合液で擦はんしながら選択エッティングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッティングされ、完全に除去された。
 【0107】こうして、透明な石英基板上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。
 【0108】次いで水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。
 【0109】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。
 【0110】また、第1の基体側に残ったイオン注入層もその後、49%弗酸と30%過酸化水素水との混合液で擦はんしながら選択エッティングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。
 【0111】(実施例4) 第1の単結晶Si基板上にCVD(Chemical Vapor Deposition)法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。
 【0112】
 ソースガス: SiH₂Cl₂/H₂
 ガス流量: 0.5/180l/min
 ガス圧力: 80 Torr
 温度: 950°C
 成長速度: 0.30 μm/min
 さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオンを注入した。
 【0113】該SiO₂層表面と、別に用意した溶融石

英基板(第2の基体)の表面と、をプラズマ処理し、水洗した後、重ね合わせ、接触させた。600°Cでアニールしたところ、イオン注入層は多孔質状になっているため、分離した表面は荒れている。第2の基体側の表面は、49%弗酸と30%過酸化水素水との混合液で擦はんしながら選択エッティングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッティングされ、完全に除去された。
 【0114】こうして、透明な石英基板上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。
 【0115】次に水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。
 【0116】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。
 【0117】また、第1の基体側に残ったイオン注入層もその後、49%弗酸と30%過酸化水素水との混合液で擦はんしながら選択エッティングする。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体として投入することができた。
 【0118】(実施例5) 第1の単結晶Si基板上にCVD(Chemical Vapor Deposition)法により単結晶Siを0.50μmエピタキシャル成長した。成長条件は以下の通りである。
 【0119】
 ソースガス: SiH₂Cl₂/H₂
 ガス流量: 0.5/180l/min
 ガス圧力: 80 Torr
 温度: 950°C
 成長速度: 0.30 μm/min
 さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次いで表面のSiO₂層を通してH⁺を60keVで5×10¹⁶cm⁻²イオンを注入した。
 【0120】該SiO₂層表面と、別に用意したサファイア基板(第2の基体)の表面と、をプラズマ処理し、水洗した後、重ね合わせ、接触させた。600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。第2の基体側の表面は、49%弗酸と30%過酸化水素水との混合液で擦はんしながら選択エッティングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッティングされ、完全に除去された。

【0121】その後、極表面のみを研磨で平坦化した。
【0122】こうして、透明なサファイア基板上に0.4μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は4.02nm±1.2nmであった。

【0123】表面粗さを原子間力顕微鏡で評価したところ、5.0μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。
【0124】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0125】また、第1の基板側に残ったイオン注入層もその後、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体として投入することができた。

【0126】(実施例6) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.60μmエピタキシャル成長した。成長条件は以下の通りである。

【0127】
ソースガス: SiH₂Cl₂/H₂
ガス流量: 0.5/180l/min
ガス圧力: 80 Torr
温度: 950°C

成長速度: 0.30μm/min
さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次に、表面のSiO₂層を通してH⁺を70keVで5×10¹⁶cm⁻²イオン注入した。

【0128】該SiO₂層表面と、別に用意したガラス基板(第2の基板)の表面と、をプラズマ処理し、水洗した後、重ね合わせ、接触させた。600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。第2の基体側の表面を、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0129】その後、極表面のみを研磨で平坦化した。
【0130】こうして、透明なガラス基板上に0.5μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は5.01nm±1.5nmであった。

【0131】表面粗さを原子間力顕微鏡で評価したところ、5.0μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。
【0132】透過電子顕微鏡による断面観察の結果、Si

層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0133】また、第1の基板側に残ったイオン注入層もその後、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体として投入することができた。

【0134】(実施例7) 第1の単結晶Si基板上にMOCVD (Metal Organic Chemical Vapor Deposition) 法により単結晶GaAsを0.5μmエピタキシャル成長した。成長条件は以下の通りである。

【0135】
ソースガス: TMG/Ash₃/H₂
ガス圧力: 80 Torr
温度: 700°C

さらに、このGaAs層表面に50nmのSiO₂層を形成した。次いで表面のSiO₂層を通してH⁺を60keVで5×10¹⁶cm⁻²イオン注入した。

【0136】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離した表面は荒れていた。第2の基板側の表面は、

エチレンジアミン+ビロカテコール+水(17ml:3g:8mlの比率)110°Cでエッチングした。

【0137】単結晶GaAsはエッチングされずに残り、単結晶GaAsをエッチ・ストップの材料として、イオン注入層および第1のSi基板の残りは選択エッチングされ、完全に除去された。

【0138】こうして、Si基板上に0.5μmの厚みを持った単結晶GaAs層が形成できた。形成された単結晶GaAs層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は5.04nm±1.6nmであった。

【0139】表面粗さを原子間力顕微鏡で評価したところ、5.0μm角の領域での平均2乗粗さはおよそ0.3nmで通常市販されているGaAsウエハと同等であった。

【0140】透過電子顕微鏡による断面観察の結果、GaAs層には、エピタキシャル成長時以降新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0141】また、第1の基板側に残ったイオン注入層もその後、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入すること

ができた。(実施例8)第1の単結晶Si基板上にMO CVD (Metal Organic Chemical Vapor Deposition) 法により単結晶InPを0.7μmエピタキシャル成長した。

【0142】さらに、このInP層表面に50nmのSiO₂層を形成した。表面のSiO₂層を通してH⁺を80keVで5×10¹⁶cm⁻²イオン注入した。

【0143】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離した表面は荒れている。第2の基板側の表面は、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。

【0144】単結晶InPはエッチングされずに残り、単結晶InPをエッチ・ストップの材料として、イオン注入層および第1のSi基板の残りは選択エッチングされ、完全に除去された。

【0145】こうして、Si基板上に0.5μmの厚みを持った単結晶InP層が形成できた。形成された単結晶InP層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は704nm±23nmであった。

【0146】表面荒さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.3nmで通常市販されているInPウエハと同等であった。

【0147】透過電子顕微鏡による断面観察の結果、InP層には、エピタキシャル成長時以降新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0148】また、第1の基板間に残ったイオン注入層もその後、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングした。その後、水素アーチー、あるいは表面研磨等の表面処理を施して再び第1の基板としてあるいは第2の基板として投入することができた。

【0149】(実施例9)第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0150】

ソースガス: SiH₄ / Cl₂ / H₂
ガス流量 : 0.5 / 180l/min
ガス圧力 : 80Torr

温度 : 950°C

成長速度 : 0.30μm/min

さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次いで表面のSiO₂層を通してHe⁺を80keVで5×10¹⁶cm⁻²

イオン注入した。

【0151】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。第2の基板側の表面は、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0152】こうして、Si酸化膜上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。

【0153】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0154】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0155】また、第1の基板側に残ったイオン注入層もその後、4.9%弗酸と3.0%過酸化水素水との混合液で擦はんしながら選択エッチングする。その後、水素アーチー、あるいは表面研磨等の表面処理を施して再び第1の基板としてあるいは第2の基板として投入することができた。

【0156】(実施例10)第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0157】

ソースガス: SiH₄ / Cl₂ / H₂

ガス流量 : 0.5 / 180l/min

ガス圧力 : 80Torr

温度 : 950°C

成長速度 : 0.30μm/min

さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオン注入した。

【0158】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた。

【0159】第1の基板の裏面酸化膜を除去した後、第1の基板側からCO₂レーザーをウエハ全面に照射した。CO₂レーザーは、貼合せ界面の200nmのSiO₂層に吸収され、その近傍の温度が急激に上昇し、イオン注入層中の急激な熱応力によりイオン注入の投影飛程付近で2枚に分離された。レーザーは連続でもパルス

でも構わない。

【0160】第2の基板側の表面を、4.9% 弗酸と30%過酸化水素水との混合液で搅はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・トップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0161】こうして、Si酸化膜上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。

【0162】さらに水素中で1100°Cで熱処理を1時間施した。表面荒さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0163】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0164】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と30%過酸化水素水との混合液で搅はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基板としてあるいは第2の基板として投入することができた。

【0165】(実施例11) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0166】

ソースガス: SiH₄ Cl₂ / H₂
ガス流量: 0.5 / 180 l/min
ガス圧力: 80 Torr

温度: 950°C
成長速度: 0.30μm/min

さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次いで表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオン注入した。

【0167】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、貼合せウエハ端面のSiO₂層およびエピタキシャルSi層をエッチングにより剥離したところ、イオン注入層端が現れた。

【0168】貼合せウエハを1000°Cのパイロ酸化をしたところ、10時間でイオン注入層中で2枚の基板が完全に分離した。剥離した面を観察したところ、ウエハ外周部のイオン注入層はSiO₂に変化しているが、中央部はほぼ元のままであった。

【0169】その後、第2の基板側に残ったイオン注入層を4.9% 弗酸と30%過酸化水素水との混合液で搅はんしながら選択エッチングした。単結晶Siはエッチ

グされずに残り、単結晶Siをエッチ・トップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0170】こうして、Si酸化膜上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。

【0171】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、50μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0172】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0173】また、第1の基板間に残ったイオン注入層もその後、4.9% 弗酸と30%過酸化水素水との混合液で搅はんしながら選択エッチングする。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基板としてあるいは第2の基板として投入することができた。

【0174】(実施例12) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0175】

ソースガス: SiH₄ Cl₂ / H₂
ガス流量: 0.5 / 180 l/min

ガス圧力: 80 Torr

温度: 950°C

成長速度: 0.30μm/min

さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオン注入した。

【0176】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面をプラズマ処理し、水洗した後、重ね合わせ、接触させた。300°C-1時間の熱処理を行い、貼り合わせ強度を高めた。貼り合わせ基板の周囲から楔をいれるとイオン注入の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離した表面は荒れている。第2の基板側の表面は、4.9% 弗酸と30%過酸化水素水との混合液で搅はんしながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・トップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0177】すなわち、Si酸化膜上に0.2μmの厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。

【0178】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、 $5.0\text{ }\mu\text{m}$ 角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0179】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0180】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と3.0%過酸化水素水との混合液で摸はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0181】(実施例13) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを $0.30\text{ }\mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。

【0182】
 ソースガス: SiH₄ Cl₂ / H₂
 ガス流量 : 0.5 / 180 l/min
 ガス圧力 : 80 Torr
 温度 : 950°C
 成長速度 : $0.30\text{ }\mu\text{m}/\text{min}$
 さらに、このエピタキシャルSi層表面に熱酸化により 200 nm のSiO₂層を形成した。次に表面のSiO₂層を通してH⁺を 40 keV で $5 \times 10^{16}\text{ cm}^{-2}$ イオン注入した。

【0183】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、をプラズマ処理し、水洗した後、重ね合わせ、接触させた。 300°C - 1時間の熱処理を行い、貼り合わせ強度を高めた。貼り合わせ基板にせん断力をかけるとイオン注入の投影飛程付近で2枚に分離された。第2の基板側の表面は、4.9% 弗酸と3.0%過酸化水素水との混合液で摸はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0184】すなわち、Si酸化膜上に $0.2\text{ }\mu\text{m}$ の厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は $201\text{ nm} \pm 7\text{ nm}$ であった。

【0185】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、 $5.0\text{ }\mu\text{m}$ 角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0186】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0187】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と3.0%過酸化水素水との混合液で摸はんしながら選択エッチングした。その後、水素ア

ニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0188】再び第1の基体として投入するときには、ウエハ厚減少分をエピタキシャル層で補うことにより、半永久的に再利用可能となった。すなわち、繰り返しの2回目以降はエピタキシャル膜厚は、 $0.30\text{ }\mu\text{m}$ でなくウエハ厚減少分となり、イオン注入層はエピタキシャル層の内部に形成される。

【0189】(実施例14) 第1の単結晶Si基板上の主表面にH⁺を 10 keV で $5 \times 10^{16}\text{ cm}^{-2}$ イオン注入した。次いでCVD (Chemical Vapor Deposition) 法により単結晶Siを $0.30\text{ }\mu\text{m}$ エピタキシャル成長した。成長条件は以下の通りである。

【0190】
 ソースガス: SiH₄ Cl₂ / H₂
 ガス流量 : 0.5 / 180 l/min
 ガス圧力 : 80 Torr
 温度 : 950°C
 成長速度 : $0.30\text{ }\mu\text{m}/\text{min}$
 さらに、このエピタキシャルSi層表面に 200 nm のSiO₂層を形成した。

【0191】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、 600°C でアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。イオン注入層は多孔質状になっているため、分離した表面は荒れている。第2の基板側の表面は、4.9% 弗酸と3.0%過酸化水素水との混合液で摸はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0192】さらに、イオン注入深さに相当する第1の基板の残りをエッチングで除去した。

【0193】こうして、Si酸化膜上に $0.2\text{ }\mu\text{m}$ の厚みを持った単結晶Si層が形成できた。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は $201\text{ nm} \pm 7\text{ nm}$ であった。

【0194】さらに水素中で1100°Cで熱処理を1時間施した。表面荒さを原子間力顕微鏡で評価したところ、 $5.0\text{ }\mu\text{m}$ 角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0195】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0196】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と3.0%過酸化水素水との混合液で摸はんしながら選択エッチングした。その後、水素ア

ニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0197】(実施例15) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.50μmエピタキシャル成長した。成長条件は以下の通りである。

【0198】
ソースガス: SiH₄ / Cl₂ / H₂
ガス流量 : 0.5 / 180 l/min
ガス圧力 : 80 Torr
温度 : 950°C
成長速度 : 0.30 μm/min

この時、ドーピングガスを添加して、n⁺ Si / n⁻ Si / Si 基板構造とした。

【0199】さらに、このエピタキシャルSi層表面に熱酸化により200nmのSiO₂層を形成した。次いで表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオン注入した。

【0200】該SiO₂層表面と、別に用意したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。第2の基板側の表面を、4.9% 弗酸と3.0%過酸化水素水との混合液で搅はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0201】こうして、Si酸化膜上に0.2μmの厚みを持ったn⁻埋め込み層を持つ単結晶Si層が形成された。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は201nm±6nmであった。

【0202】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、5.0μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0203】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0204】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と3.0%過酸化水素水との混合液で搅はんしながら選択エッチングした。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0205】(実施例16) 第1の単結晶Si基板上にCVD (Chemical Vapor Deposition) 法により単結晶Siを0.30μmエピタキシャル成長した。成長条件は以下の通りである。

【0206】

ソースガス: SiH₄ / Cl₂ / H₂
ガス流量 : 0.5 / 180 l/min
ガス圧力 : 80 Torr
温度 : 950°C
成長速度 : 0.30 μm/min
この時、ドーピングガスを添加して、n⁺ Si / n⁻ Si / Si 基板構造とした。

【0207】さらに、このエピタキシャルSi層表面に熱酸化により50nmのSiO₂層を形成した。表面のSiO₂層を通してH⁺を40keVで5×10¹⁶cm⁻²イオン注入した。

【0208】該SiO₂層表面と、別に用意した500nmのSiO₂層を形成したSi基板(第2の基板)の表面と、を重ね合わせ、接触させた後、600°Cでアニールしたところ、イオン注入の投影飛程付近で2枚に分離された。第2の基板側の表面は、4.9% 弗酸と3.0%過酸化水素水との混合液で搅はんしながら選択エッチングした。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、イオン注入層は選択エッチングされ、完全に除去された。

【0209】こうして、Si酸化膜上に0.29μmの厚みを持ったn⁻埋め込み層を持つ単結晶Si層が形成された。形成された単結晶Si層の膜厚を面内全面について100点を測定したところ、膜厚の均一性は291nm±9nmであった。

【0210】さらに水素中で1100°Cで熱処理を1時間施した。表面粗さを原子間力顕微鏡で評価したところ、5.0μm角の領域での平均2乗粗さはおよそ0.2nmで通常市販されているSiウエハと同等であった。

【0211】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0212】また、第1の基板側に残ったイオン注入層もその後、4.9% 弗酸と3.0%過酸化水素水との混合液で搅はんしながら選択エッチングする。その後、水素アニール、あるいは表面研磨等の表面処理を施して再び第1の基体としてあるいは第2の基体として投入することができた。

【0213】(実施例17) 上述の実施例1~16について、第1基体の両面に同様の処理を行い半導体部材を得た。

【0214】

【発明の効果】以上、説明したように、本発明の半導体部材の製造方法においては、シリコン基板上に配された非多孔質半導体層を用いて貼り合わせ基体用の第1の基体を構成する。非多孔質半導体層は、好適にはエピタキシャル半導体層で構成し得るものであり、この場合、前述のシリコンウエハに特有のフローパターンディフェクトやCOP (Crystal Originated

Particles) の影響を受けないことから高品質な半導体部材を提供することができる。

【0215】また、非多孔質半導体層は、電気伝導型や、不純物濃度を容易に制御し得ることから、本発明の半導体部材の製造方法は、多種の要求を満足し得るものとなり、応用性が高い。

【0216】更に、第1の基板と第2の基板を貼り合わせて得られる多層構造体を、イオン注入層で分離した後、第1の基板側に残ったシリコン基板は、第1の基板あるいは第2の基板の構成部材として再利用することができるので省資源、低コスト化という点でも利点がある。

【0217】すなわち、本発明によれば、絶縁性基板等で構成できる第2の基板上に結晶性に優れた単結晶半導体層を得るうえで、生産性、均一性、制御性、コストの面において優れた半導体部材の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施態様例1の工程を説明するための模式的断面図である。

【図2】本発明の実施態様例2の工程を説明するための模式的断面図である。

【図3】本発明の実施態様例3の工程を説明するための模式的断面図である。

【図4】第1の従来例の工程を説明するための模式的断面図である。

【図5】第2の従来例の工程を説明するための模式的断面図である。

【符号の説明】

1 1 第1のSi単結晶基板

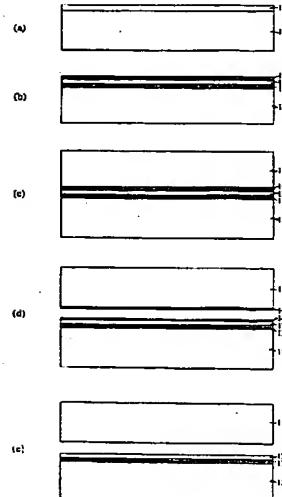
1 2 非多孔質層

1 3 絶縁層

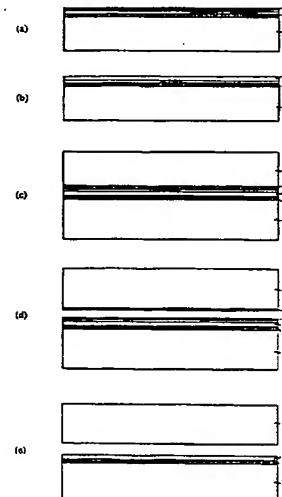
1 4 イオン注入層

1 5 第2の基板

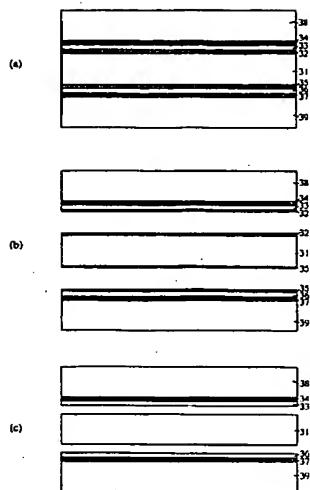
【図1】



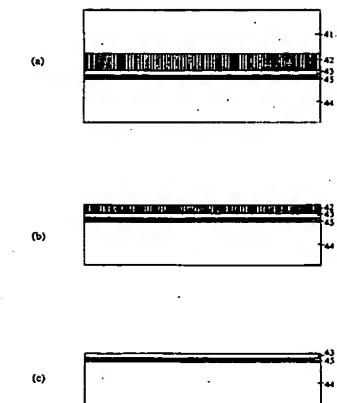
【図2】



【図3】



【図4】



【図5】

